

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-311192

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

H04L 27/22

H04B 3/06

H04J 11/00

H04L 27/01

(21)Application number : 05-117611

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22) Date of filing : 22.04.1993

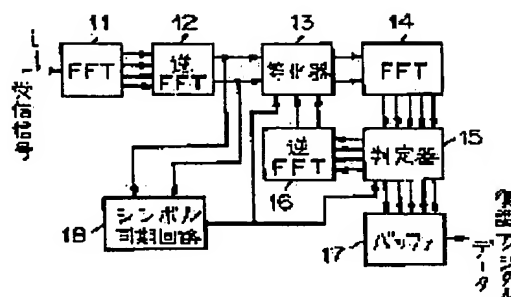
(72)Inventor : NAITO MASASHI

(54) DIGITAL DEMODULATOR

(57)Abstract:

PURPOSE: To attain miniaturization by reducing the circuit scale of a demodulator receiving and detecting a multi-phase modulated wave obtained by multiplexing transmission data by plural carrier waves.

CONSTITUTION: A received input (i) is separated into the I and Q signals of the respective carrier waves by FFT 11 and an reverse FFT 12 generates a synthetic I and Q signals. Then, one equalizer 13 equalizes the received input by setting the I and Q signals resynthesized from demodulation data by reverse FFT 16 to be a reference signal. Thereby, equalization is attained by one equalizer without regard to the number of the carrier waves so as to reduce the circuit scale.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-311192

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/22	Z	9297-5K		
H 0 4 B 3/06	E	7741-5K		
H 0 4 J 11/00	A	8949-5K		
H 0 4 L 27/01				

9297-5K	H 0 4 L 27/ 00	K
審査請求 未請求	請求項の数 2	FD (全 5 頁)

(21)出願番号 特願平5-117611

(22)出願日 平成5年(1993)4月22日

(71)出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72)発明者 内藤 昌志

東京都港区虎ノ門二丁目3番13号 国際電気株式会社内

(74)代理人 弁理士 大塚 学

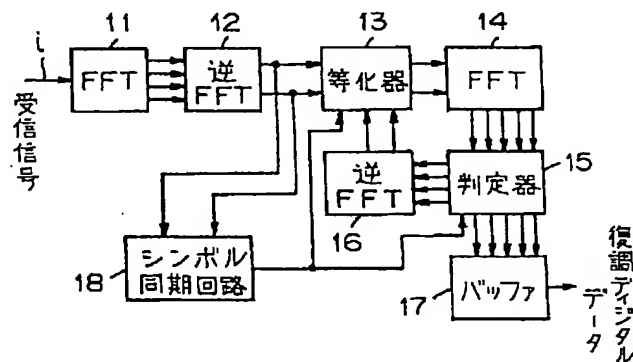
(54)【発明の名称】 デジタル復調器

(57)【要約】

【目的】 送信データが複数の搬送波で多重化された多位相変調波を受信して検波する復調器の回路規模を縮小して小形化する。

【構成】 受信入力 i をFFT 11で各搬送波のI、Q信号に分離し、逆FFT 12で合成I、Q信号を生成し、1つの等化器 13によって復調データから逆FFT 16で再合成したI、Q信号を参照信号として受信入力の等化を行うように構成した。

【効果】 搬送波の数に関係なく1つの等化器で等化できるため回路規模が縮小される。



【特許請求の範囲】

【請求項1】 互いに周波数の異なる複数の搬送波が送信データで変調されたマルチキャリア変調信号を受信して検波した後のベースバンド受信信号を入力とし各搬送波の直交検波 I, Q 信号に変換分離する第1の高速フーリエ変換器と、

該直交検波 I, Q 信号をそれぞれ全搬送波について合成して合成 I, Q 信号を出力する第1の逆高速フーリエ変換器と、

該逆高速フーリエ変換器からの合成 I, Q 信号を、前回の量子化信号を合成した等化目標信号によって更新されたタップ係数を用いて等化した I_E , Q_E 信号を出力する等化器と、

該等化器の出力を各搬送波毎に分離して $I_E(I)$, $Q_E(I)$ 信号を出力する第2の高速フーリエ変換器と、
該第2の高速フーリエ変換器の出力をシンボル同期信号のシンボルの中央点でデータ判定を行い量子化信号を出力する判定器と、

該判定器からの出力を全搬送波について合成して前記等化器に前記等化目標信号として与える第2の逆高速フーリエ変換器と、

前記判定器からの出力を並/直変換して所望の復調デジタル信号を出力するバッファとを備えたデジタル復調器。

【請求項2】 請求項1記載の第1の高速フーリエ変換器と第1の逆高速フーリエ変換器の代わりに、前記マルチキャリア変調信号を受信して中間周波数に変換した信号を入力とし、直交検波して前記合成 I, Q 信号を出力する直交検波器を備えたことを特徴とする請求項1記載のデジタル復調器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル無線通信の変復調方式の一つであるマルチキャリア型変復調方式の送受信機に用いられる準同期検波方式の復調器に関し、特に、等化器付デジタル復調器に関するものである。

【0002】

【従来の技術】 まず、送信側の変調器について説明する。図3(A)はマルチキャリア型変調器の構成例を示すブロック図である。送信するデジタルデータ a は、バッファ1により、多重シンボル数 n 個（通常 n は 10～100 程度）毎に n 個の変調器 2～4 に対してシンボルデータ b を分割出力する。#1～#n の各変調器 2～4 は、入力されたシンボルデータ b によって、それぞれ互いに異なる周波数の搬送波（キャリア）を直交変調する。加算器 5 は、その各キャリアの変調信号 g を加算して最終的な変調信号 h を出力する。図3(B)は(A)の変調器 2～4 のそれぞれのブロック図である。図4は I, Q 信号配置例図であり、QPSK (quadrature phase sift keying、4 相位相変調) 方式の場合の信号配置

(位相ダイアグラム; phase trajectory) 例を示す。キャリア毎のシンボルデータ b は、I, Q 変換器 2-1 により、図4の2ビットデータに従って同相成分 I (I) データ c と直交成分 Q (I) データ d (I は 1～n) に変換される。各成分データ c, d に対して、互いに $\pi/2$ 位相のずれたキャリア周波数信号 e, f を乗算器 2-4, 2-5 でそれぞれ乗算した後、加算器 2-6 で加算することにより、キャリア毎の変調信号 g が得られる。この n 個の変調信号 g を図3(A)の加算器 5 で加算することによりマルチキャリア変調信号 (QPSK 変調波) h が得られる。

【0003】 本発明は、このようにして送出されたマルチキャリア変調信号 (QPSK 変調波) を受信する受信機の復調器を対象とするものである。図5(A)は従来の復調器のブロック図、(B)はその各キャリア毎に設けられている検波器のブロック図である。図5(A)において、受信信号 i は、#1～#n 検波器 6～8 で各キャリア毎に検波されて I' , Q' 信号 j が出力される。バッファ 10 は各キャリアの I' (I), Q' (I) 信号 j を図4の信号配置に従って1シンボル2ビットのデジタルデータに並/直変換して復調デジタルデータ k を出力する。図5(B)の検波器は、受信信号 i の各キャリアに対して、互いに $\pi/2$ 位相シフトしたキャリア周波数信号を乗算器 6-2, 6-4 で乗算し、LPF (低域通過フィルタ) 6-5, 6-6 で帯域制限することによりキャリア毎の I' (I), Q' (I) 信号を得る。I, Q 判定器 6-7 では、図4の I, Q 信号配置に従って判定し、1シンボル2ビットのデータ j を出力する。図5の検波器 6～8 は、直交検波の原理から1つのFFT (ファーストフーリエ変換) に置き換えることができることが知られているので、図5(A)を図6のような構成で表すことができる。以下の説明ではマルチキャリア用検波器 6～8 を図6のようにFFT 61として表す。

【0004】

【発明が解決しようとする課題】 マルチキャリア変調方式は、1キャリア当りの伝送帯域がキャリア数に逆比例して小さくなるため、陸上移動通信で避けて通ることのできない周波数選択性フェージングに強いという利点がある。しかし、通常のアナログ無線機に使用しているベースバンドモデム（周波数帯域 300～2700 Hz）を、HF 帯（3 MHz～30 MHz）で使用する場合は、電離層反射による最大 3 mS に及ぶマルチパス遅延波の発生する環境下のため受信データの誤り率が低下し、十分な誤り率特性が得られない。図7はマルチパスフェージング（2波レベル比＝1対1）によるマルチキャリアモデムのスペクトラム例図である。図から明らかなように、マルチパスフェージングにより周波数選択性フェージングが発生し、一部のキャリアのレベルが大きく減衰を受ける。この問題を解決する方法として等化器が有効

であることが知られている。図8は等化器を用いた従来の復調器の構成例図である。図のように、従来の回路は、各キャリア毎に等化器と判定器を設け、各キャリア毎に等化する方式であり、マルチキャリア方式の場合、キャリア数に対応する多数($100 > n > 10$)の等化器が必要となるためハードウェアの規模が大幅に増加する欠点がある。

【0005】本発明の目的は、前述の欠点を解決し、キャリア数増加によるハードウェア規模の増大を軽減することのできるデジタル復調器を提供することにある。

【0006】

【課題を解決するための手段】本発明のデジタル復調器は、本発明のデジタル復調器は、互いに周波数の異なる複数の搬送波が送信データで変調されたマルチキャリア変調信号を受信して検波した後のベースバンド受信信号を入力とし各搬送波の直交検波I、Q信号に変換分離する第1の高速フーリエ変換器と、該直交検波I、Q信号をそれぞれ全搬送波について合成して合成I、Q信号を出力する第1の逆高速フーリエ変換器と、該逆高速フーリエ変換器からの合成I、Q信号を、前回の量子化信号を合成した等化目標信号によって更新されたタップ係数を用いて等化した I_E 、 Q_E 信号を出力する等化器と、該等化器の出力を各搬送波毎に分離して $I_E(I)$ 、 $Q_E(I)$ 信号を出力する第2の高速フーリエ変換器と、該第2の高速フーリエ変換器の出力をシンボル同期信号のシンボルの中央点でデータ判定を行い量子化信号を出力する判定器と、該判定器からの出力を全搬送波について合成して前記等化器に前記等化目標信号として与える第2の逆高速フーリエ変換器と、前記判定器からの出力を並列変換して所望の復調デジタル信号を出力するバッファとを備えたことを特徴とするものである。

【0007】さらに、前記第1の高速フーリエ変換器と第1の逆高速フーリエ変換器の代わりに、前記マルチキャリア変調信号を受信して中間周波数に変換した信号を入力とし、直交検波して前記合成I、Q信号を出力する直交検波器を備えたことを特徴とするものである。

【0008】すなわち、1つの等化器によって全キャリアを一括して等化するように構成したことが要旨である。

【0009】

【実施例】図1は本発明の第1の実施例を示すブロック図である。図において、11は高速フーリエ変換器(FFT)、12は逆FFT、13は等化器、14はFFT、15は判定器、16は逆FFT、17は並列データを直列データに変換するバッファ、18はシンボル同期回路である。

【0010】受信信号(検波後のベースバンド信号) i は、FFT11により各キャリア毎に直交検波信号 $I'(I)$ 、 $Q'(I)$ (I は $1 \sim n$)に変換される。この

直交検波信号 $I'(I)$ 、 $Q'(I)$ 信号は逆FFT12で変調され、同相成分I、直交成分Q毎に n キャリア分合成される。その結果、全キャリアを合成したI、Qの2つの信号が出力される。等化器13は、前回のシンボルで所望の信号 I_R 、 Q_R (逆FFT16の出力)を用いて更新されたタップ係数を用いて等化し、 I_E 、 Q_E 信号を出力する。等化器13から出力された I_E 、 Q_E 信号は、FFT14により各キャリアに分離されて $I_E(I)$ 、 $Q_E(I)$ 信号となり、判定器15に入力される。判定器15は、シンボル同期回路18から与えられる時刻(シンボルの中央点)における信号点 $I_E(I)$ 、 $Q_E(I)$ を、図4の信号配置に従ってデータ判定する。バッファ17は全キャリア分の復調データを保持し、並列変換して復調デジタルデータを出力する。判定器15で図4の信号配置のどれかに判定、量子化されたキャリア数分の量子化信号 $I_R(I)$ 、 $Q_R(I)$ (I は $1 \sim n$)は、逆FFT16により全キャリアを合成した I_R 、 Q_R 信号に変換され、等化器13のタップ係数更新時の所望の信号(等化のターゲット)となる。

【0011】図2は本発明の第2の実施例を示すブロック図である。この第2の実施例は、復調器の入力受信信号を中間周波数(IF)段から取り出す場合の構成例であり、図1の第1の実施例におけるFFT11、逆FFT12を直交検波器19に置き換えたものである。従って、他の構成要素は図1の第1の実施例の該当要素と同じである。等化器13のタップ係数の更新は、シンボル同期回路18から与えられたシンボルの中央点で、判定データ更新後の信号を用いて一般的なRLS(Recursive Least Square)またはLMS(Least Mean Square)アルゴリズムにより行われる。

【0012】このような構成にすることにより、図8に示した従来の構成と比較すると、図1の第1の実施例では新たに1つのFFT回路及び2つの逆FFT回路を追加する必要があり、図2の第2の実施例では直交検波器と1つのFFT回路及び1つの逆FFTが追加されるが、等化器、判定器は全キャリアについて1つのみになり、復調器全体の回路規模としては大幅に縮小することができる。

【0013】以上の実施例では、QPSK(4相PSK)の方式の場合について示したが、例えば、 $\pi/4$ シフトQPSK、多相PSK、多値QAM(16QAM、64QAMなど)の方式にも適用できる。

【0014】

【発明の効果】以上詳細に説明したように、本発明を実施することにより、キャリア数の多少によらずに、1つの等化器で復調器を実現することができるため、復調器の回路規模が大幅に縮小され、実用上の効果は極めて大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】本発明の第2の実施例を示すブロック図である。

【図3】QPSK変調器の構成例図である。

【図4】QPSK変調器のI、Q信号配置図である。

【図5】従来の復調器の構成例図である。

【図6】従来の復調器の構成例図である。

【図7】マルチキャリア変調信号の選択性フェージング下のスペクトラム例図である。

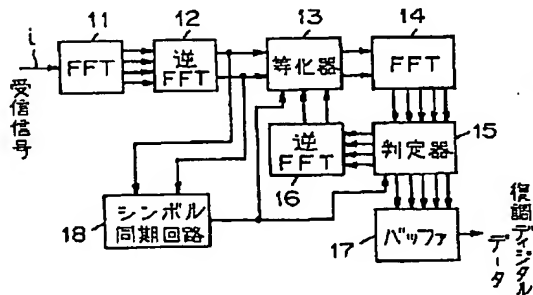
【図8】従来の等化器を用いた復調器の構成例図である。

【符号の説明】

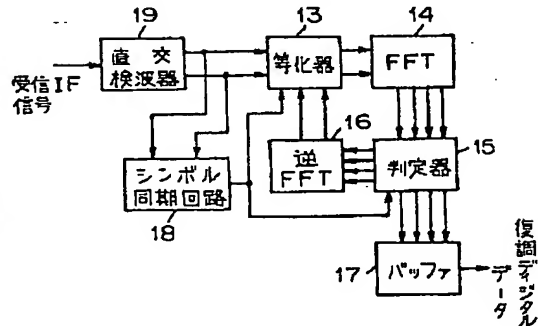
- 1 バッファ
2, 3, 4 変調器
2-1 I, Q変換器
2-2 搬送波発生器
2-3 $\pi/2$ 移相器
2-4, 2-5 乗算器

- 2-6 加算器
5 加算器
6, 7, 8 検波器
6-1 搬送波発生器
6-2, 6-4 乗算器
6-3 $\pi/2$ 移相器
6-5, 6-6 LPF
6, 7 I, Q判定器
9 シンボル同期回路
10 バッファ
11, 14 FFT
12, 16 逆FFT
13 等化器
15 判定器
17 バッファ
18 シンボル同期回路
19 直交検波器
61 FFT

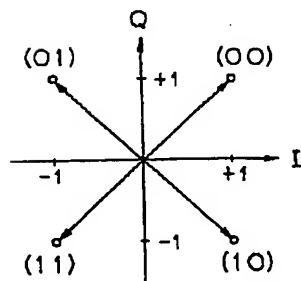
【図1】



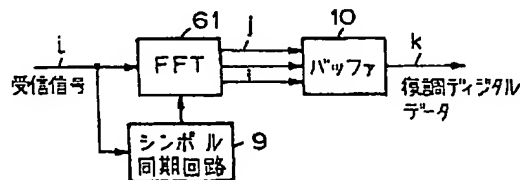
【図2】



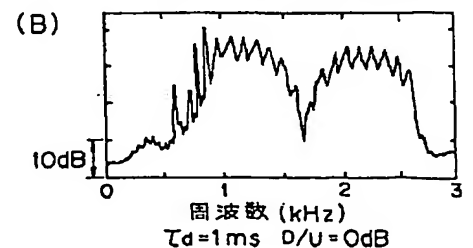
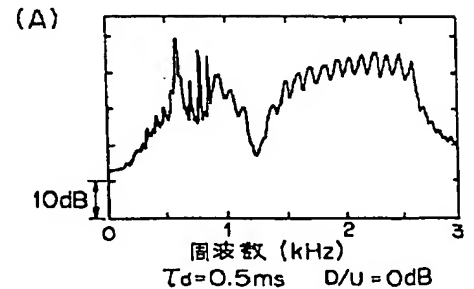
【図4】



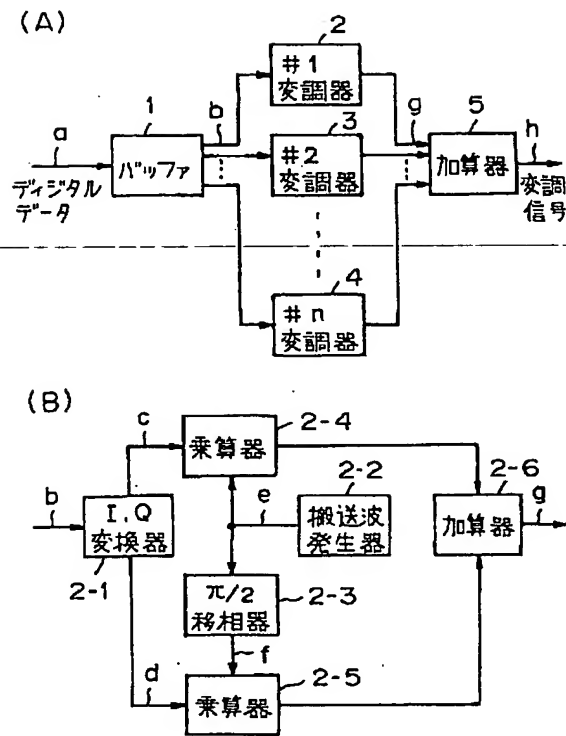
【図6】



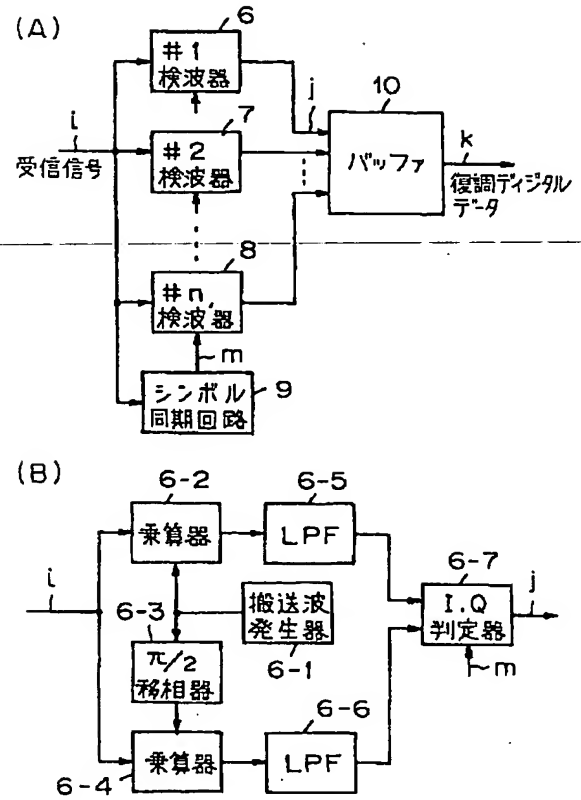
【図7】



【図3】



【図5】



【図8】

